

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11087720 A**

(43) Date of publication of application: **30.03.99**

(51) Int. Cl.

H01L 29/786
G02F 1/133
G02F 1/136
H01L 27/12
H01L 21/336

(21) Application number: **09243054**

(22) Date of filing: **08.09.97**

(71) Applicant: **SANYO ELECTRIC CO LTD**

(72) Inventor: **YONEDA KIYOSHI**
KIHARA KATSUYA

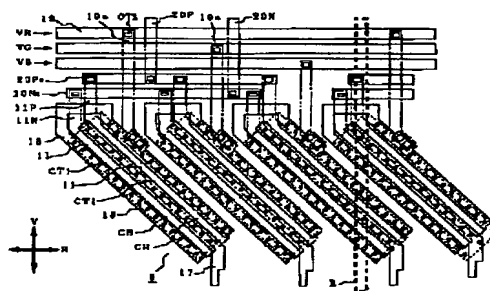
(54) **SEMICONDUCTOR DEVICE AND LIQUID
CRYSTAL DISPLAY DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent a transistor characteristics from degrading, which is caused by an uneven intensity in an irradiated region, relating to laser annealing for forming p-Si of p-Si TET LCD (polycrystalline silicon thin-film transistor liquid crystal display device).

SOLUTION: A sampling TFT6 of wide-channel width is so formed that its channel width direction is at 45° with respect to a side of a substrate. Even if a crystallization-defective region R occurs at p-Si13 when being laser-annealed, only a part of its region is passed for each TET6, so that the deterioration in element characteristics is suppressed to a small range, thus the deterioration in display quality is prevented.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87720

(43) 公開日 平成11年(1999)3月30日

(51) Int. Cl. ⁶	識別記号	F I
H 0 1 L 29/786		H 0 1 L 29/78 6 1 8 C
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
	1/136 5 0 0	1/136 5 0 0
H 0 1 L 27/12		H 0 1 L 27/12 R
21/336		29/78 6 1 2 B
審査請求 未請求 請求項の数8 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願平9-243054

(22) 出願日 平成9年(1997)9月8日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 米田 清

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72) 発明者 木原 勝也

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

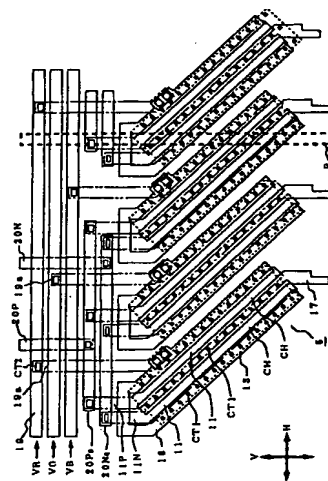
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置及び液晶表示装置

(57) 【要約】

【課題】 p-Si TFTLCDのp-Siを形成するレーザーアニールにおいて、照射領域の強度の不均一に起因したトランジスタ特性の悪化を防止する。

【解決手段】 チャンネル幅の大きなサンプリングTFT6が、そのチャンネル幅方向を、基板の辺に対して45°の方向になるように形成されている。レーザーアニール時にp-Si13に結晶化不良領域が生じて、個々のTFT6についてはその領域の一部を通過するのみとなり、素子特性の悪化が小さな範囲に抑えられ、表示品位を低下することが防がれる。



【特許請求の範囲】

【請求項1】 基板上に半導体素子が複数形成された半導体装置において、

前記半導体素子のいくつかまたは全ては、レーザーアニールが施された半導体層中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が前記基板の辺方向と異なる方向にされていることを特徴とする半導体装置。

【請求項2】 基板上に半導体素子が複数形成された半導体装置において、

前記半導体素子のいくつかまたは全ては、レーザーアニールが施された半導体層中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が、前記レーザーアニール時におけるレーザービームの被照射領域の長軸方向及び短軸方向とは異なる方向にされていることを特徴とする半導体装置。

【請求項3】 液晶を間に挟んだ一対の基板の一方の面に、液晶駆動用の容量の一方をなす表示電極群と、これらに各々接続され液晶駆動用の信号電圧を印加する第1の薄膜トランジスタ群と、これら第1の薄膜トランジスタ群に走査信号を供給するための走査駆動回路または／及び表示信号を供給するための表示駆動回路を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、

前記第2の薄膜トランジスタのいくつかまたは全ては、レーザーアニールが施された半導体膜中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が前記基板の辺方向と異なる方向にされていることを特徴とする液晶表示装置。

【請求項4】 前記表示駆動回路は、外部で作成された映像信号が与えられた映像信号ラインと、前記映像信号を所定のタイミングでサンプリングして前記第1の薄膜トランジスタに表示信号を供給するサンプリング用の第2の薄膜トランジスタと、前記サンプリング用の第2の薄膜トランジスタのスイッチ動作を制御するシフトレジスタからなり、前記サンプリング用の第2の薄膜トランジスタは、半導体膜中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が、前記基板の辺方向と異なる方向にされていることを特徴とする請求項3記載の液晶表示装置。

【請求項5】 液晶を間に挟んだ一対の基板の一方の面に、液晶駆動用の容量の一方をなす表示電極群と、これらに各々接続され液晶駆動用の信号電圧を印加する第1の薄膜トランジスタ群と、これら第1の薄膜トランジスタ群に走査信号を供給するための走査駆動回路または／及び表示信号を供給するための表示駆動回路を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、

前記第2の薄膜トランジスタのいくつかまたは全ては、レーザーアニールが施された半導体膜中に形成されたチ

ャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が、前記レーザーアニール時におけるレーザービームの被照射領域の長軸方向及び短軸方向とは異なる方向にされていることを特徴とする液晶表示装置。

【請求項6】 前記表示駆動回路は、外部で作成された映像信号が与えられた映像信号ラインと、前記映像信号を所定のタイミングでサンプリングして前記第1の薄膜トランジスタに表示信号を供給するサンプリング用の第2の薄膜トランジスタと、前記サンプリング用の第2の薄膜トランジスタのスイッチ動作を制御するシフトレジスタからなり、前記サンプリング用の第2の薄膜トランジスタは、レーザーアニールを用いて形成された半導体膜中にチャンネル長よりもチャンネル幅が大きいチャンネル領域を有し、そのチャンネル幅方向が、前記レーザーアニール時におけるレーザービームの被照射領域の長軸方向及び短軸方向とは異なる方向にされていることを特徴とする請求項5記載の液晶表示装置。

【請求項7】 液晶を間に挟んだ一対の基板の一方の面に、液晶駆動用の容量の一方をなす表示電極群と、これらに各々接続され液晶駆動用の信号電圧を印加する第1の薄膜トランジスタ群と、これら第1の薄膜トランジスタ群に走査信号を供給するための走査駆動回路または／及び表示信号を供給するための表示駆動回路を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、

前記第1及び第2の薄膜トランジスタは、レーザーアニールが施された半導体膜中にチャンネル領域が形成され、前記第1の薄膜トランジスタのチャンネル幅方向と、いくつかまたは全ての第2の薄膜トランジスタのチャンネル幅方向は、互いに非平行及び非直角にされていることを特徴とする液晶表示装置。

【請求項8】 前記表示駆動回路は、外部で作成された映像信号が与えられた映像信号ラインと、前記映像信号を所定のタイミングでサンプリングして前記第1の薄膜トランジスタに表示信号を供給するサンプリング用の第2の薄膜トランジスタと、前記サンプリング用の第2の薄膜トランジスタのスイッチ動作を制御するシフトレジスタからなり、前記サンプリング用の第2の薄膜トランジスタのチャンネル幅方向と、前記第1の薄膜トランジスタのチャンネル幅方向は、互いに非平行及び非直角にされていることを特徴とする請求項7記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に、液晶表示装置（LCD：liquid crystal display）であって、薄膜トランジスタ（TFT：thin film transistor）を表示部及び周辺部に形成した周辺駆動回路一体型LCDの製造方法に関する。

【0002】

【従来の技術】近年、LCDは、小型、薄型、低消費電力などの利点から、OA機器、AV機器等の分野で実用化が進められており、特に、各画素に画像情報の書き換えタイミングを制御するスイッチング素子として、TFTを配置したアクティブマトリクス型は、大画面、高精細の動画表示が可能となるため、各種テレビジョン、パーソナルコンピュータなどのディスプレイに用いられている。

【0003】TFTは、絶縁性の基板上に金属層とともに半導体層を所定形状に形成することにより得られる電界効果型トランジスタ(FET: field effect transistor)である。アクティブマトリクス型LCDにおいては、TFTは、液晶を挟んだ一対の基板間に形成された、液晶を駆動するため各キャパシタンスの一方の電極に接続されている。

【0004】特に、半導体層として、それまで多用されてきた非晶質シリコン(a-Si)に代わって、多結晶シリコン(p-Si)を用いたLCDが開発され、p-Siの結晶粒の形成あるいは成長のためにレーザー光を用いたアニールが用いられている。一般に、p-Siはa-Siに比べて移動度が高く、TFTが小型化され、高開閉率及び高精細化が実現される。また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、n-chTFTとp-chTFTの電気的相補結線構造即ちCMOSを形成することにより、高速駆動回路を構成することができる。このため、駆動回路部を同一基板上に表示画素部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0005】絶縁性基板上へのp-Siの成膜方法としては、低温で生成したa-Siをアニールすることによる結晶化、あるいは、高温状態での固相成長法等があるが、いずれの場合も、600℃以上の高温での処理であった。このため、耐熱性の点で、絶縁性基板として安価な無アルカリガラス基板を使うことができず、高価な石英ガラス基板が必要となり、コストがかかっていた。これに対し、レーザーアニールを用いて、基板温度が600℃以下の比較的低温でのシリコン多結晶化処理を行うことで、絶縁性基板として無アルカリガラス基板を用いることを可能とする方法が開発されている。このような、TFT基板製造の全工程において処理温度を600℃以下にしたプロセスは、低温プロセスと呼ばれ、低コストのLCDの量産には必須のプロセスである。

【0006】図13は、このようなレーザーアニールを行うためのレーザー光照射装置の構成図である。図中、(101)はレーザー発振源、(102, 111)はミラー、(103, 104, 105, 106)はシリンドリカルレンズ、(107, 108, 109, 112, 113)は集光レンズ、(110)はライン幅方向のスリ

ット、(114)は表面にa-Siが形成された被処理基板(120)を支持するステージである。また、(115)は、ライン長方向のスリットで、ステージ(114)に近接して設置されている。

【0007】レーザー光は、例えば、エキシマレーザーであり、レーザー発振源(101)から照射されたレーザー光は、シリンドリカルレンズ(103, 105)及び(104, 106)からなる2組のコンデンサーレンズにより、各々上下左右方向に対して強度の出力分布がフラットな平行光に変形される。この平行光は、レンズ(108, 109, 112, 113)により一方向に収束されるとともに、レンズ(107)により他の一方向に引き延ばされて角形、帯形、実用的には線状(ラインビーム)にされ、被処理基板(120)に照射される。また、スリット(110, 115)は、各々ライン幅及びライン長方向のエッジ部を規定して被照射領域の形状を明瞭にし、有効照射領域の強度を一定にしている。被処理基板(120)を載置したステージ(114)は、(X, Y)方向に可動で、照射ラインビームが、そのライン幅方向に走査され、面積処理による高スループットでのレーザーアニールが実現される。

【0008】図14に、a-SiをELAにより結晶化してp-Siにする時の、レーザーエネルギーとグレインサイズとの関係を示している。図より、あるエネルギー値までは、エネルギーが増大するに従って、グレインサイズが大きくなるが、最大のグレインサイズを与えるエネルギー E_0 を越えると、グレインサイズは急激に小さくなることがわかる。従って、所定のグレインサイズ G_M 以上を得るには、照射されるレーザーエネルギーは、上限 E_d と下限 E_u との間の範囲内になければならない。

【0009】図15は、図13の装置により実現されるエキシマレーザーアニール(ELA)において、被処理基板(1)と、エキシマレーザーの照射及び走査方向の関係を示す平面図である。被処理基板(1)は、普通の無アルカリガラス基板であり、その表面には、a-Siが形成されている。基板(1)は、LCDを構成するアクティブマトリクス基板(5)を6枚含んだマザーガラス基板である。各アクティブマトリクス基板(5)は中央部に表示画素がマトリクス状に配置形成されることになる画素部(2)と、画素部(2)周辺に配置形成されることになる走査駆動回路であるゲートドライバー(3)、及び、同じく表示駆動回路であるドレインドライバー(4)からなる。画素部(2)では、液晶を駆動する画素キャパシタの一方の電極である表示電極がマトリクス状に配置形成され、これらに各々TFTが接続形成されることになる。ゲートドライバー(3)は主にシフトレジスタからなり、ドレインドライバー(4)は、主に、シフトレジスタ及びサンプリング回路からなる。これらドライバー(3, 4)は、CMOS等のTFTア

レイにより形成される。

【0010】例えば、図13に示すレーザー光照射装置において、パルスレーザーによるアニールが行われるが、各々のパルスレーザービームは、図15のCによりそのエッジを示すようなライン幅が0.5~1.0mm、ライン長が80~150mmのラインビームである。このラインビームを、所定のオーバーラップをもって被処理基板(1)上を移動させることにより、全体に満遍なくレーザー光が照射され、大面積を処理することができる。

【0011】図16はこのように形成される被処理基板(1)の一部平面図、特に、ドレインドライバ(4)のサンプリング部の平面図である。サンプリング回路は、各列につき、N-ch TFTとP-ch TFTよりなるサンプリング用トランスファゲート(6)から構成されている。図17は、これらTFTの断面図であり、左側がN-ch、右側がP-chである。基板(50)上に、N-chに関しては、引き回し線(60Na)及びサンプリングライン(60N)を介し、P-chに関しては、引き回し線(60Pa)及びサンプリングライン(60P)を介して、各々、図15に不図示の上方にあるシフトレジスタの各出力段の出力及び反転出力に接続されたゲート電極(51)が形成されている。これを覆う全面には、ゲート絶縁膜(52)が形成され、ゲート絶縁膜(52)上の、ゲート電極(52)上方を含む領域には、ELAを用いて形成されたp-Si膜(53)が島状に形成されている。

【0012】p-Si膜(53)は、N-chに関しては、ゲート電極(51)直上領域がノンドープのチャンネル領域(CH)であり、その両側に、N型不純物が低濃度にドーピングされたLD(Lightly doped)領域(LD)、更に、その外側が、高濃度にドーピングされたソース領域(NS)及びドレイン領域(ND)となっている。また、P-chに関しては、ゲート電極(51)直上領域がノンドープのチャンネル領域(CH)、その両側に、P型の不純物が高濃度にドーピングされたソース領域(PS)、及びドレイン領域(PD)となっている。

【0013】p-Si膜(53)のチャンネル領域(CH)上には、LD領域(LD)及びソース・ドレイン領域(PS, PD)を形成するために用いた注入ストッパー(54)が残され、これらp-Si膜(53)を覆う全面には第1の層間絶縁膜(55)が形成されている。第1の層間絶縁膜(55)の上には、引き回し線(59a)を介して、R、G、Bの映像信号が供給されるビデオライン(59)に接続されたソース電極(56)、及び、画素部(2)へ延長されたドレイン電極(57)が形成され、各々、層間絶縁膜(55)に開口されたコンタクトホール(CT1)を介して、ソース領域(NS, PS)及びドレイン領域(ND, PD)に接続されてい

る。

【0014】これらを覆う全面には、平坦化作用のある第2の絶縁膜(58)が形成されている。画素部(2)においては、各表示画素に接続されたTFTは図17に示すのと同じ構造のN-ch TFTであるが、平坦化絶縁膜(58)上に液晶駆動用の表示電極が形成され、平坦化絶縁膜(58)に開口されたコンタクトホールを介してソース電極(56)へと接続されている。

【0015】図18は被処理基板(1)の画素部(2)の一部平面図である。(101)は水平方向に配列されたゲート電極、(103)はゲート絶縁膜を挟んでゲート電極(101)上を少なくとも通過するp-Si膜、(107)は垂直方向に延びたドレイン電極、(109)は液晶駆動用の表示電極である。これらゲート電極(101)、p-Si膜(103)及びドレイン電極(107)は、図16に示すサンプリングTFT(6)のゲート電極(51)、p-Si膜(53)及びドレイン電極(57)と各々同一の材料膜により形成されている。特に、ドレイン電極(107)は、ドレイン電極(57)と一体で形成されている。

【0016】図16に示すように、サンプリングTFT(6)のチャンネル領域(CH)は、チャンネル幅がチャンネル長よりも大きい細長となっており、この細長のチャンネル領域(CH)が垂直方向(V)の向きに配置され、かつ、このような複数のサンプリングTFT(6)が水平方向(H)に並べられている。即ち、ドレインドライバ(4)のサンプリングTFT(6)と、画素部(2)のTFTとは、そのチャンネル方向が同じ向きにされている。

【0017】

【発明が解決しようとする課題】このエキシマレーザーアニール(ELA)により形成されたp-Si膜には、グレインサイズが十分に大きくならない等、結晶性の悪い線状領域が、図14及びその拡大図である図15のRで示すような縞模様を呈して、ライン長方向に生じる問題がある。

【0018】このようなp-Siの結晶化不良領域(R)は結晶性が悪く、これを含んだ領域に形成されたTFTは、一般に特性が悪化する。図19に、このようなラインビームの、位置に対する照射光強度分布を示す。スリット(110)により、ライン幅Aが規定され、概ね鋭いエッジを有したフラットな分布形状となっているが、図のXあるいはYで示すような、強度が極端に上がったたり下がったりした部分で、図19のEdとEu間で定められる許容範囲からはみ出している。また、Bは、スリット(110)のエッジ部で、波長の短い光成分が回折することに起因していると考えられる。

【0019】XやYは、主に、光学系を構成するレンズ(103, 104, 105, 106, 108, 109, 112, 113)に付着した異物等により、遮光、回

析、干渉等が起こって強度のムラが生じ、これが更に、ライン幅方向に集光されるとともに、ライン長方向に引き延ばされたものであると推測される。このように、光のムラを生じさせる異物は、例えば、クリーンルーム内に僅かに存在しても、光学特性へ影響を及ぼし、強度分布のフラットな性質を損なう原因となる。

【0020】更に、パルスレーザービームの数ショットの間でも照射エネルギーのばらつきがあり、被処理基板(1)上で、結晶化不良領域(R)が不規則に生じていた。図20は、図16に示すサンプリングTFT(6)の位置とオン電流との関係を示す。横軸は、サンプリングTFT(6)の列番号であり、縦軸はオン電流値である。図より、オン電流が、3mAから5mAの範囲内で大きくばらついていることがわかる。

【0021】これの原因は、以下の通りである。即ち、図14に示すように、線状の結晶化不良領域(R)は基板(1)平面の垂直方向(V)に生じている。これに対し、図16に示すように、サンプリングTFT(6)は、各々、結晶化不良領域(R)と同じ方向に縦長のチャンネル領域(CH)を有し、これが、水平方向(H)に並べられている。このため、図16に示すように、結晶化不良領域(R)が、あるサンプリングTFT(6)のチャンネル領域(CH)の大部分を占めるようにして生じた場合、そのTFTの特性が目立って悪化する。オン電流が十分に大きくない列は、映像信号から表示信号をサンプリングする際、表示信号に遅延が生じ、コントラスト比や輝度を低下させ、表示画面に縦筋状に認識され、表示品位を悪化させていた。

【0022】

【課題を解決するための手段】本発明はこの課題を解決するために成され、基板上に半導体素子が複数形成された半導体装置において、前記半導体素子のいくつかまたは全ては、レーザーアニールが施された半導体層中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が前記基板の辺方向と異なる方向にされている構成である。

【0023】また、液晶を間に挟んだ一対の基板の一方の面に、液晶駆動用の容量の一方をなす表示電極群と、これらに各々接続され液晶駆動用の信号電圧を印加する第1の薄膜トランジスタ群と、これら第1の薄膜トランジスタ群に走査信号を供給するための走査駆動回路または／及び表示信号を供給するための表示駆動回路を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、前記第2の薄膜トランジスタのいくつかまたは全ては、レーザーアニールが施された半導体膜中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が前記基板の辺方向と異なる方向にされている構成である。

【0024】特に、前記表示駆動回路は、外部で作成された映像信号が与えられた映像信号ラインと、前記映像

信号を所定のタイミングでサンプリングして前記第1の薄膜トランジスタに表示信号を供給するサンプリング用の第2の薄膜トランジスタと、前記サンプリング用の第2の薄膜トランジスタのスイッチ動作を制御するシフトレジスタからなり、前記サンプリング用の第2の薄膜トランジスタは、レーザーアニールが施された半導体膜中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が、前記基板の辺方向と異なる方向にされている構成である。

【0025】これにより、半導体層に膜質を向上するためのレーザーアニールを施した際、素子の配列主方向に対して平行あるいは垂直な方向に延びる不良領域が生じても、不良領域が単一あるいは少数の素子に集中することが無くなり、複数あるいは多数の素子にわたって生じようになる。このため、単数あるいは少数の素子に特性悪化が集中して全体が不良となる問題が防がれる。即ち、複数あるいは多数の素子に特性悪化が分散され、個々については特性悪化が許容範囲内に収められ、全体としては良好とされる。

【0026】更に、基板上に半導体素子が複数形成された半導体装置において、前記半導体素子のいくつかまたは全ては、レーザーアニールが施された半導体層中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が、前記レーザーアニール時におけるレーザービームの被照射領域の長軸方向及び短軸方向とは異なる方向にされている構成である。

【0027】また、液晶を間に挟んだ一対の基板の一方の面に、液晶駆動用の容量の一方をなす表示電極群と、これらに各々接続され液晶駆動用の信号電圧を印加する第1の薄膜トランジスタ群と、これら第1の薄膜トランジスタ群に走査信号を供給するための走査駆動回路または／及び表示信号を供給するための表示駆動回路を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、前記第2の薄膜トランジスタのいくつかまたは全ては、レーザーアニールが施された半導体膜中に形成されたチャンネル領域のチャンネル幅がチャンネル長よりも大きく、そのチャンネル幅方向が、前記レーザーアニール時におけるレーザービームの被照射領域の長軸方向及び短軸方向とは異なる方向にされている構成である。

【0028】特に、前記表示駆動回路は、外部で作成された映像信号が与えられた映像信号ラインと、前記映像信号を所定のタイミングでサンプリングして前記第1の薄膜トランジスタに表示信号を供給するサンプリング用の第2の薄膜トランジスタと、前記サンプリング用の第2の薄膜トランジスタのスイッチ動作を制御するシフトレジスタからなり、前記サンプリング用の第2の薄膜トランジスタは、レーザーアニールを用いて形成された半導体膜中にチャンネル長よりもチャンネル幅が大きいチ

チャンネル領域を有し、そのチャンネル幅方向が、前記レーザーアニール時におけるレーザービームの被照射領域の長軸方向及び短軸方向とは異なる方向にされている構成である。

【0029】これにより、レーザーアニールの不良領域は被照射領域の縁線に平行に生じるので、不良領域は、必ず、斜め方向に形成された複数の素子領域にわたって生じる。このため、単数あるいは少数の素子に特性悪化が集中して全体が不良となる問題が防がれる。即ち、複数あるいは多数の素子に特性悪化が分散され、個々については特性悪化が許容範囲内に収められ、全体としては良好とされる。

【0030】更に、液晶を間に挟んだ一対の基板の一方の面に、液晶駆動用の容量の一方をなす表示電極群と、これらに各々接続され液晶駆動用の信号電圧を印加する第1の薄膜トランジスタ群と、これら第1の薄膜トランジスタ群に走査信号を供給するための走査駆動回路または／及び表示信号を供給するための表示駆動回路を構成する第2の薄膜トランジスタ群とが形成された液晶表示装置において、前記第1及び第2の薄膜トランジスタは、レーザーアニールが施された半導体膜中にチャンネル領域が形成され、前記第1の薄膜トランジスタのチャンネル幅方向と、いくつかまたは全ての第2の薄膜トランジスタのチャンネル幅方向は、互いに非平行及び非直角にされている構成である。

【0031】特に、前記表示駆動回路は、外部で作成された映像信号が与えられた映像信号ラインと、前記映像信号を所定のタイミングでサンプリングして前記第1の薄膜トランジスタに表示信号を供給するサンプリング用の第2の薄膜トランジスタと、前記サンプリング用の第2の薄膜トランジスタのスイッチ動作を制御するシフトレジスタからなり、前記サンプリング用の第2の薄膜トランジスタのチャンネル幅方向と、前記第1の薄膜トランジスタのチャンネル幅方向は、互いに非平行及び非直角にされている構成である。

【0032】これにより、第1の薄膜トランジスタに対して、チャンネル領域を大部分を占めるように不良領域が生じて、第2の薄膜トランジスタに対しては、そのチャンネルを斜めに横切るようにして、一部を通過するのみとなる。従って、第1の薄膜トランジスタよりも不良領域の影響が大きな第2の薄膜トランジスタにちつては少なくとも不良領域による特性悪化が小さく抑えられる。

【0033】

【発明の実施の形態】図1は、本発明の実施の形態にかかるドライバー内蔵型p-Si TFT LCDのドレインドライバー(4)部、特にサンプリング部の拡大平面図である。(19)は各々R、G、Bの映像信号が供給されるビデオライン、(20N、20P)は、各々、図の上方不図示のシフトレジスタの各出力段の出力及び反転

出力に接続されたサンプリングライン、(6)はビデオライン(19)に供給された映像信号より、各々、サンプリングライン(20N、20P)に与えられたサンプリング信号に従って各々の列に対応する表示信号をサンプリングするサンプリングTFT、(17)は画素部(2)へ延長されるドレインラインであり、サンプリングTFT(6)にてサンプリングされた表示信号が与えられて各表示画素へと送出する。

【0034】図2は被処理基板(1)上に作成されるTFTの断面図である。左側がN-ch、右側がP-chである。サンプリングTFT(6)は、これらN-chとP-chからなるトランスファゲートである。無アルカリガラスの基板(10)上には、Cr等からなるゲート電極(11)が形成され、これを覆う全面にはSiNx、SiO₂等からなるゲート絶縁膜(12)が形成されている。ゲート絶縁膜(12)上には、ゲート電極(11)を覆う領域に、ELAを用いて形成されたp-Si膜(13)が設けられている。

【0035】p-Si膜(13)は、N-chでは、ゲート電極(11)直上領域がノンドープのチャンネル領域(CH)、その両側に、n型不純物が低濃度にドーピングされたLD(lightly doped)領域(LD)、更にその外側に、n型不純物が高濃度にドーピングされたソース領域(NS)及びドレイン領域(ND)が形成されている。一方、P-chでは、ゲート電極(11)直上領域がノンドープのチャンネル領域(CH)、その両側に、p型不純物が高濃度にドーピングされたソース領域(PS)及びドレイン領域(PD)が形成されている。

【0036】p-Si膜(13)上には、LD領域(LD)及びソース及びドレイン領域(PS、PD)を形成する際に用いた注入ストッパー(14)がある。これら、p-Si膜(13)を覆う全面には、SiNx等の第1の層間絶縁膜(15)、第1の層間絶縁膜(15)上には、Al/Mo等からなるソース電極(16)及びドレイン電極(17)が形成され、各々第1の層間絶縁膜(15)に開口された第1のコンタクトホール(CT1)を介して、ソース領域(NS、PS)及びドレイン領域(ND、PD)に接続されている。これらソース電極(16)及びドレイン電極(17)を覆う全面には、SOG(spin on glass)、BPSG(boro-phospho silicate glass)、TEOS(tetraethly ortho silicate)等の平坦化絶縁膜である第2の層間絶縁膜(18)が形成されている。

【0037】画素部(2)の平面構造は図18と同じである。TFTは図2に示すのと同じ構造のN-ch TFTであるが、平坦化絶縁膜(18)上に液晶駆動用の表示電極が形成され、平坦化絶縁膜(18)に開口されたコンタクトホールを介してソース電極(16)へと接続される。このように、TFTは、各々の表示画素についてスイッチング素子に採用されるとともに、ドライバー

部(3, 4)において、CMOSを構成する。本発明では特に、ドライバ部における、チャンネル領域(CH)が、チャンネル幅がチャンネル長よりも十分に大きく、p-Si膜(13)の島層が細長のTFTについて、細長のチャンネル領域(CH)が、基板(1)平面上の垂直方向(V)と水平方向(H)のいずれに対しても斜め方向を向くように形成されている。なお、ここでは、図18からわかるように、画素部(2)においては、チャンネル幅の向きは、後に述べるように垂直方向(V)のままとされている。

【0038】図1に示されるサンプリングTFT(6)は、図2に示したN-ch部とP-ch部とが一体的に形成されたトランスファゲートであり、p-Si膜(13)、ソース電極(16)及びドレイン電極(17)が一体的に形成されている。サンプリングTFT(6)は、液晶を駆動するに十分な振幅を有した信号電圧をサンプリングしてドレインライン(17)へ印加すべく、チャンネル幅が十分に大きくされ、チャンネル領域(CH)が細長になっている。そして、この細長のチャンネル領域(CH)は、その長辺方向が基板平面の垂直方向(V)あるいは水平方向(H)に対して斜め方向、特に45°の角度をなすように形成されている。

【0039】サンプリングライン(20N, 20P)はゲート電極(11)と同一材料膜により形成され、ビデオライン(19)はソース及びドレイン電極(16, 17)と同一材料膜により形成されている。N-ch部のゲート電極(11)は、ソース・ドレイン電極(16, 17)と同一材料膜から成る引き回し線(20Na)を介して、サンプリングライン(20N)に接続されている。P-ch部のゲート電極(11)は、ソース・ドレイン電極(16, 17)と同一材料膜からなる引き回し線(20Pa)を介してサンプリングライン(20P)に接続されている。

【0040】また、N-chとP-chのドレイン電極(16)は一体的に形成され、画素部(2)のドレインラインへと延長されている。ソース電極(16)もまたN-chとP-chについて一体的に接続され、ゲート電極(11)と同一材料膜からなる引き回し線(19a)を通じてビデオライン(19)に接続されている。これら層間の接続は、ゲート絶縁膜(12)及び第1の層間絶縁膜(15)に形成された第2のコンタクトホール(CT2)を介して行われる。

【0041】ビデオライン(19)に供給された映像信号VR, VG, VBは、更に、サンプリングTFT(6)のソース電極(16)に供給され、不図示のシフトレジスタの各出力段より出されたサンプリングパルスが、サンプリングライン(11N, 11P)を介してゲート電極(11)に供給されてサンプリングTFT(6)がオンされ、このタイミングでサンプリングが行われ、表示信号が対応するドレイン電極(17)へ与え

られ、画素部(2)へと送られる。

【0042】続いて、このようなp-SiTFTの製造方法を説明する。まず、図3において、無アルカリガラスの基板(10)上にCrをスパッタリングにより成膜し、これをエッチングすることにより、ゲート電極(11)及び引き回し線(20N, 20P)、サンプリングライン(19a)を形成する。サンプリングTFT(6)については、ゲート電極(11)はチャンネル幅方向に細長で、かつ、垂直方向(V)、水平方向(H)のいずれに対しても斜め向きに形成される。

【0043】図4において、これらゲート電極(11)を覆う全面に、プラズマCVDによりSiNx及びSiO₂からなるゲート絶縁膜(12)を形成し、引き続き、連続してプラズマCVDによりアモルファスシリコン(a-Si)(13a)を成膜する。a-Si(13a)は、材料ガスであるモノシランSiH₄、あるいは、ジシランSi₂H₆を400°程度の熱及びプラズマにより分解堆積することで形成される。

【0044】図5において、600°程度でELAを行うことにより、a-Si(13a)を結晶化して、p-Si(13)を形成する。ELAは、例えばパルスレーザーのラインビーム走査により行われるが、ラインビームの通過した後にライン状の結晶化不良領域(R)が残ることがある。図6において、p-Si(13)が形成された基板の上に、SiO₂を成膜し、これを裏面露光法を用いてエッチングすることにより、ゲート電極(11)の上方に注入ストッパ(14)を形成する。裏面露光は、SiO₂の上にレジスト(RS)を塗布し、これを基板(10)の下方から露光を行うことにより、ゲート電極(11)を影を利用した形状に感光し、現像を行う。そして、このレジスト(RS)をマスクにエッチングを行うことにより、ゲート電極(11)のパターンが反映された注入ストッパ(14)が形成される。

【0045】図7において、この注入ストッパ(14)をマスクとして、p-Si(13)に対して、N型の導電形を示す燐(P)のイオン注入を、10の13乗程度の低ドーズ量で行い、注入ストッパ(14)以外の領域を低濃度にドーピングする(N-)。この時、注入ストッパ(14)直下即ちゲート電極(11)の直上領域は真性層に維持され、TFTのチャンネル領域(CH)となる。注入ストッパ(14)をエッチングしたときのレジストはイオン注入時には残しておき、イオン注入後に剥離してもよい。

【0046】サンプリングTFT(6)に関しては、チャンネル領域(CH)は、チャンネル幅方向に細長く、かつ、その長方向は垂直方向(V)、水平方向(H)のいずれに対しても斜めに向けられている。図8において、N-ch側に、ゲート電極(11)よりも大きなレジスト(RS)を形成し、これをマスクとして、p-Si(13)に対する燐(P)のイオン注入を、10の1

5乗程度の高ドーズ量で行い、レジスト(RS)以外の領域を高濃度にドーピングする(N⁺)。この時、レジスト(RS)の直下領域には、低濃度領域(N⁻)及びチャンネル領域(CH)が維持されている。これにより、チャンネル領域(CH)の両側に低濃度のLD領域(LD)、更にその外側に高濃度のソース及びドレイン領域(NS、ND)が形成され、LDD構造が形成される。なお、この時、P-ch側は、N型の不純物がドーピングされないように、レジスト(RS)で覆っておく。

【0047】図9において、前のレジスト(RS)を剥離後、別のレジスト(RS)をN-ch側に形成し、この状態で、p-Si(13)に対するボロン等のP型不純物のイオン注入を10の15乗程度で行う。これにより、注入ストッパー(14)の直下が真性層のチャンネル領域(CH)となり、その両側がP型に高濃度にドーピングされ(P⁺)、ソース及びドレイン領域(PS、PD)が形成される。

【0048】これらレジスト(RS)の剥離後、不純物イオンのドーピングを行ったp-Si(13)膜の結晶性の回復と、不純物の格子置換を目的として、加熱、あるいはレーザー照射等の活性化アニールを行う。図10において、このp-Si膜(13)をエッチングすることにより、図1に示すような形状に残し、TFTに必要な領域にのみ島状に形成する。特に、サンプリングTFT(6)については、p-Si膜(13)の島はチャンネル幅方向に細長く、その長方向が垂直方向(V)、水平方向(H)のいずれに対しても45°の方向を向くようにされてる。

【0049】この工程に先立ち、p-Si膜(13)には、図5のELA工程において、照射エネルギーのばらつきに起因した結晶化不良領域(R)が存在している場合がある。このような、結晶化不良領域(R)は、ELA装置の光学系において、所定の被照射領域の形状に整形される際に、同様に、一定の形状、特に、ラインビームにおいては、照射エネルギーの特異領域に対応してライン状に生じる。このような結晶化不良領域(R)を含んだ領域にTFTが形成されると、その素子特性は悪いものとなる。

【0050】従って、本実施の形態では、図1に示すように、細長のp-Si膜(13)の長方向が、垂直方向(V)、水平方向(H)のいずれに対しても斜め方向、特に45°の角度になるように設定することにより、結晶化不良領域(R)が、水平方向(H)はもとより、垂直方向(V)に生じたとしても、個々のサンプリングTFT(6)についてみれば、結晶化不良領域(R)はその一部を通過するに過ぎず、特性が大きく悪化することが防がれる。また、垂直方向(V)に生じた結晶化不良領域(R)は、これら斜めに配置されたサンプリングTFT(6)が水平方向(H)に隙間無く配列された領域

において、複数のサンプリングTFT(6)を通過することになるが、従来のように特性の悪化が特定のTFTに集中することが防がれ、小さな特性の悪化が複数のTFTに分散される。この時の特性の悪化が表示に悪影響を及ぼす程度よりも小さい場合、実際には特性の悪化が無いのと同等となる。

【0051】図11において、SiNx等をプラズマCVDにより成膜して層間絶縁層(16)を形成し、ソース及びドレイン領域(NS、PS、ND、PD)に対応する部分をエッチングで除去することにより第1のコンタクトホール(CT1)を形成し、p-Si膜(13)を一部露出させる。そして、Al/Moをスパッタリングにより積層して、これをエッチングすることにより、ソース電極(16)及びドレイン電極(17)を形成し、各々、ソース領域(NS、PS)及びドレイン領域(ND、PD)に接続し、TFTが完成する。また、これと同時に、ビデオライン(19)及び引き回し線(20Pa、20Na)が形成される。

【0052】図5の結晶化ELA工程において、照射レーザービームは、図13に示すような装置の光学系において、線状、帯状あるいは角形の被照射領域の形状になるように整形される。このため、付与エネルギーの許容範囲から逸脱したエネルギーの特異領域は、整形時に、被照射領域のエッジに平行なライン状あるいはクロス状となり、これと同じ形で、p-Si膜中に結晶化不良領域(R)が生じる。

【0053】結晶化不良領域(R)上にサンプリングTFT(6)が形成されると、動作速度が低下し、その列に関して、サンプリングが十分に行われず、ドレインラインへ供給される表示信号の振幅が縮小し、同一ラインに関して輝度やコントラスト比が低下し、縦筋として目立ち、表示品位が低下するといった問題が起こる。通常、レーザービームの被照射領域の整形は、被処理基板(1)の辺を基準に行われるので、被照射領域のエッジは、基板平面の垂直方向(V)かまたは水平方向(H)になる。即ち、被処理基板(1)の辺方向と結晶化不良領域(R)の長軸方向とは一般に同じである。従来例である図15に示すように、垂直方向(V)に細長いサンプリングTFTが水平方向(H)に連続的に配列された構成において、結晶化不良領域(R)がこれと同じ方向に生じ、サンプリングTFT(6)が配列された領域上を通過しても、サンプリングTFT(6)のチャンネル幅が大きく、結晶化不良領域(R)がその一部のみを通過しても特性はそれ程悪化することはない。また、全てのサンプリングTFT(6)が同様に特性が悪化した場合、列間での輝度やコントラスト比の差異が認識されることは無い。これらの理由により、結晶化不良領域(R)が水平方向(H)に生じても、表示にそれ程大きな悪影響を及ぼすことは無い。

【0054】しかし、結晶化不良領域(R)が、基板平

面の垂直方向(V)に生じた場合、結晶化不良領域(R)が、チャンネル領域(CH)を縦断するように通過して、一つのTFTについて大部分が結晶化不良領域(R)によって占められてしまうことがある。この場合、そのサンプリングTFT(6)は、他の結晶化不良領域(R)が全く存在しないサンプリングTFT(6)よりも特性が悪く、これに対応する列に関して輝度やコントラスト比が他の列とは異なり、縦筋ムラとして認識され、表示に悪影響を及ぼす。即ち、従来例では、ドレインドライバ(4)の配置とラインビームの走査方向とを、図14に示すような関係に設定することはできず、他のレイアウト、あるいは、ラインビームの照射装置を用いなければならなかった。

【0055】このような問題を防ぐため、本発明では、図1に示すように、細長のサンプリングTFT(6)は、チャンネル幅方向が被処理基板(1)の垂直方向(V)あるいは水平方向(H)、言い換えれば、基板(1)あるいは基板(5)のいずれの辺とも異なる方向、例えば、45°の角度をもって形成している。特にサンプリングTFT(6)は、例えばチャンネル長が6μmに対して、チャンネル幅が300μmであり、図示の場合よりもチャンネル幅方向にはるかに細長い形状となっており、このようなサンプリングTFT(6)が隙間無く配列された領域上では、垂直方向(V)に生じた結晶化不良領域(R)は、実際には図示の場合よりも多く5から10個ものサンプリングTFT(6)にわたるように生じる。しかし、結晶化不良領域(R)上に形成されたサンプリングTFT(6)の各々に関しては、一部が結晶不良領域(R)に含まれるのみとなり、特性が大きく悪化することが防がれ、全体としては良好となる。

【0056】従って、同一基板上に形成されるサンプリングTFT(6)の配列方向、即ち、ドレインドライバ(4)の向きが垂直方向(V)あるいは水平方向(H)のいずれの方向であっても、各々のサンプリングTFT(6)の長辺方向がこれと異なる限り、結晶化不良領域(R)が単数あるいは少数のTFTに生じて、これらに特性の悪化が集中して画素部の表示不良等が発生するといった問題が防がれる。従って、被処理基板(1)上に形成されるドレインドライバ(4)の向き、即ち、被処理基板(1)から取り出されるアクティブマトリクス基板(5)の向きとラインビームの走査方向との関係が制限されることが無くなり、製造コストの削減が達成される。

【0057】図12に、図1の構成のサンプリングTFT(6)の位置とオン電流との関係を示す。横軸は列番号、縦軸はオン電流値である。全てのTFT(6)について、オン電流値は4.3から5.0mAの範囲内に収まっており、従来における同様の関係図である図19と比較すると、ばらつきが抑えられていることが分かる。

これは、図19において、結晶化不良領域(R)上のTFTでオン電流が大幅に低下していたものが、結晶化不良領域(R)がそのTFTの一部を通過するのみとなり、結果的にオン電流の低下が周辺の多数の素子に分散されたからである。ただし、本実施の形態において、全体にオン電流が低下するといったことは認められないのは、一つのTFTに関して、一部が結晶化不良領域(R)に当たって、特性が僅かに悪化したとしても、実質的なレベルでのオン電流の低下は無いためであると考えられる。

【0058】なお、本発明は、サンプリングTFTに関してのみ限定されるものではなく、ドライバ部の他の領域、シフトレジスタ部、ゲートドライバ、更には、タイミングジェネレータ、ビデオ信号処理回路、メモリ、CPU、センサ等の同一基板上に形成される素子に適用することができる。また、図18に示されるように、画素部(2)におけるTFTについては、そのチャンネル幅方向が垂直方向(V)(場合によっては水平方向(H))と同じにされているが、これは、画素部のTFTは、チャンネル幅がチャンネル長と比べて小さくなく、このため、チャンネル幅の方向を垂直方向(V)から傾けても、チャンネル領域(CH)の大部分が結晶化不良領域(R)から外れるようにすることができないことと、画素部(2)のTFTは、ドライバ部(3, 4)に比べてそれ程高速動作が要求されるものではないためである。

【0059】更に、本発明は、チャンネル幅方向は、基板の辺に対して45°の方向に限定されることはなく、レーザービームの被照射領域の長軸方向及び短軸方向に対して、これと異なる方向に設定するものである。これにより、被照射領域の長軸方向あるいは短軸方向に生じる結晶化不良領域は、単数あるいは少数の素子領域、または、同一系列の素子領域に集中することが防がれ、結晶化不良領域が複数または多数の素子にわたって生じるので、素子特性の悪化がこれら複数または多数の素子に分散され、全体としては表示不良や動作不良が防止される。

【0060】また、本発明は、結晶化のためのレーザーアニールに限定されることはなく、活性化あるいは、その他のレーザーアニールにおいて、上述の如く、不可避免的に発生する、エネルギーのばらつきに起因する問題を解決するものである。

【0061】

【発明の効果】以上の説明から明らかな如く、本発明で、レーザーアニールを用いて形成された半導体層を用いた半導体素子が複数形成された半導体装置あるいは液晶表示装置において、チャンネル幅がチャンネル長よりも大きい素子に関して、チャンネル幅方向を基板の辺方向、あるいは、レーザービームの被照射領域の縁あるいは場合によっては長軸方向と異なる方向にすることによ

り、レーザーアニール時に半導体層の不良領域が生じても、この不良領域は、個々の素子に関してはその領域の一部を通過するのみとされるので、特性が大きく悪化することが無くされ、実際の表示に悪影響を及ぼすことが防がれる。

【0062】従って、たとえ結晶化不良領域が複数の素子にわたって生じても、それらの素子の個々について僅かの特性の悪化にとどまり、半導体装置全体としては正常な論理動作や、液晶表示装置の良好な表示が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る液晶表示装置の一部平面図である。

【図2】本発明の実施の形態に係る液晶表示装置の断面図である。

【図3】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図4】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図5】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図6】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図7】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図8】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

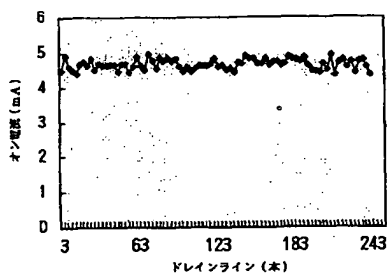
【図9】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図10】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図11】本発明の実施の形態に係る液晶表示装置の製造方法を示す工程断面図である。

【図12】本発明の実施の形態に係る液晶表示装置の一

【図12】



部素子群の位置と特性との関係図である。

【図13】レーザー光照射装置の構成図である。

【図14】ELAにおける照射レーザーエネルギーとグレイサイズとの関係図である。

【図15】被処理基板とラインビームの被照射領域との位置関係を示す平面図である。

【図16】従来の液晶表示装置のドライバー部の一部平面図である。

【図17】従来の液晶表示装置の断面図である。

【図18】液晶表示装置の画素部の一部平面図である。

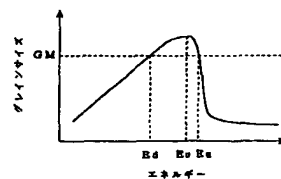
【図19】照射レーザービームのエネルギー分布図である。

【図20】従来の液晶表示装置の一部素子群の位置と特性との関係図である。

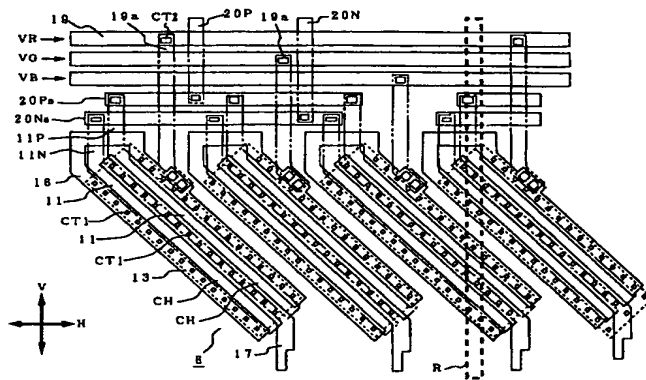
【符号の説明】

- 1 被処理基板
- 2 画素部
- 3 ゲートドライバー
- 4 ドレインドライバー
- 5 アクティブマトリクス基板
- 6 サンプリングTFT
- 10 基板
- 11 ゲート電極
- 13 p-Si
- 16 ソース電極
- 17 ドレイン電極
- 19 ビデオライン
- 20 サンプリングライン
- CH チャンネル領域
- ND, PD ドレイン領域
- NS, PS ソース領域
- CT コンタクトホール
- C ラインビームのエッジライン
- R 結晶化不良領域

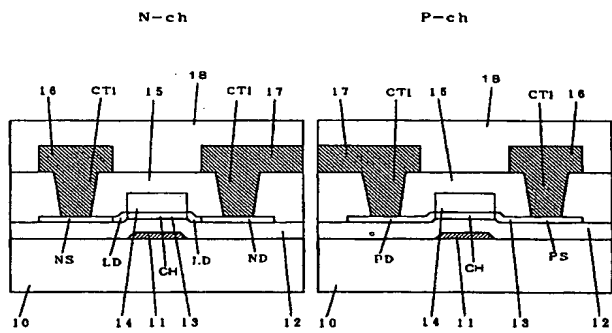
【図15】



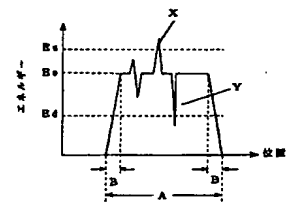
【図 1】



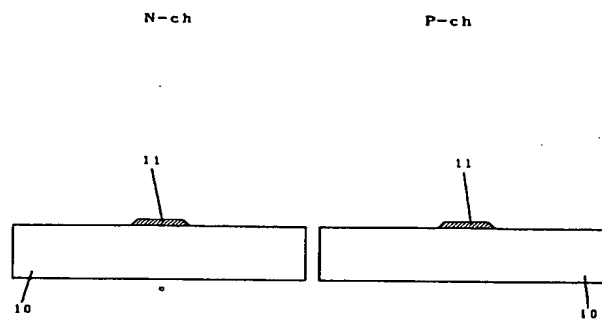
【図 2】



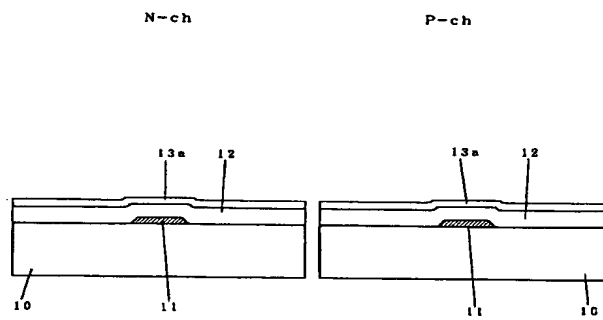
【図 19】



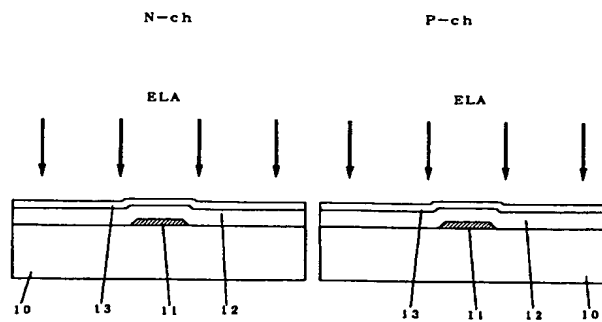
【図 3】



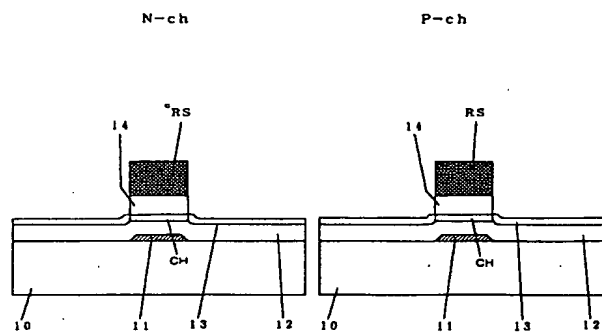
【図 4】



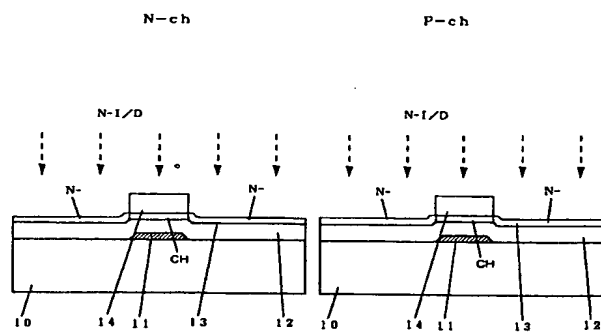
【図 5】



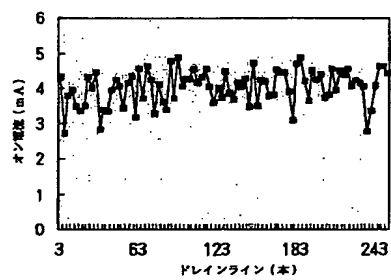
【図6】



【図7】

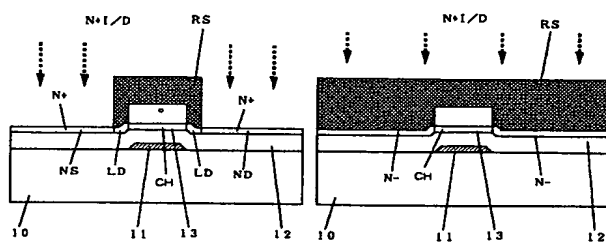


【図20】



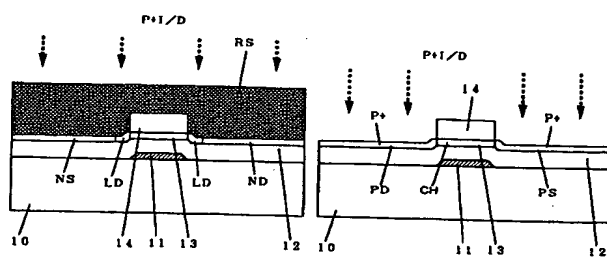
N-ch

P-ch

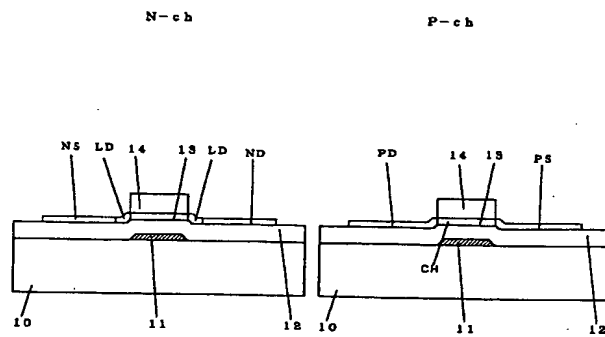


N-ch

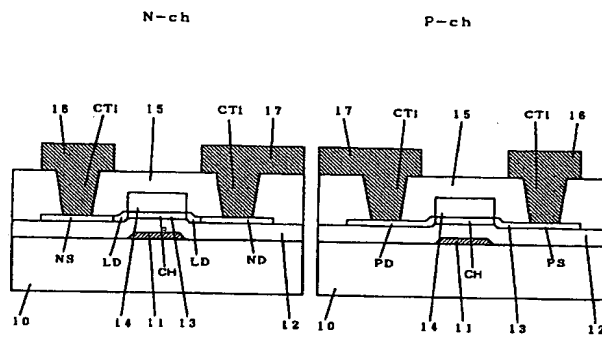
P-ch



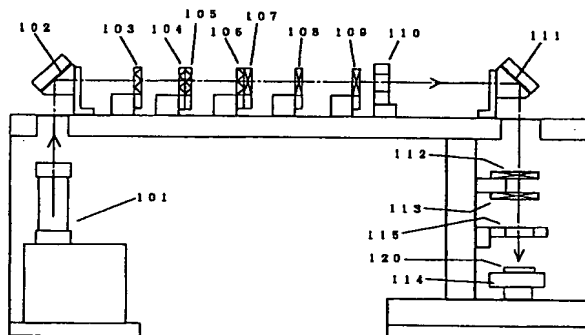
【図10】



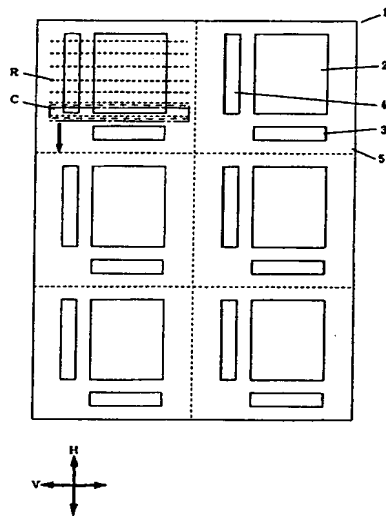
【図11】



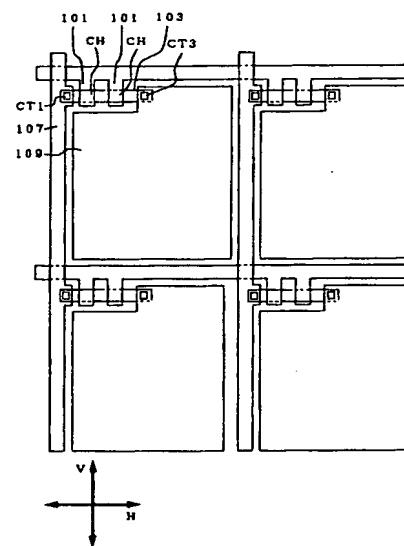
【図13】



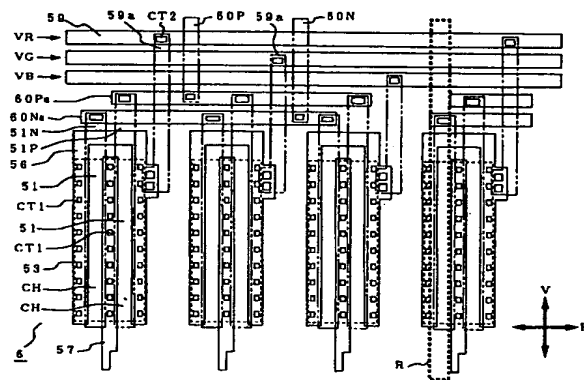
【図14】



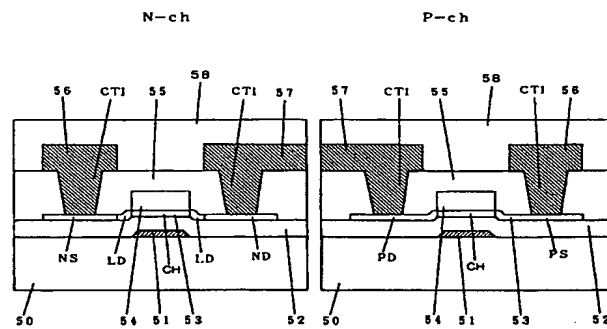
【図18】



【図16】



【図17】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/78

6 2 7 G